

修 士 論 文 の 和 文 要 旨

研究科・専攻	大学院 情報システム学研究科 情報ネットワークシステム学専攻 博士前期課程		
氏 名	松村 雄貴	学籍番号	1052026
論 文 題 目	3次元積層プロセッサ向けブロック配置問題の研究		
<p>要 旨</p> <p>貫通電極(TSV:Through - Silicon - Via) を利用した半導体3次元積層技術の進歩により, プロセッサやSoC の複雑かつ柔軟な3次元積層が現実的となった. 従来のワイヤボンディングによるマルチダイパッケージと比べ貫通電極によるz 軸方向の通信は, 通常のビアサイズでの高密度実装が可能であり, また経路を短縮できるため通信負荷やレイテンシを大幅に効率化させることができる. このことから, 3次元活用によるブレイクスルーが期待されている.</p> <p>しかし, 柔軟な3次元実装の設計空間は広く, プロセッサを構成するブロックをどのように3次元配置すればよいかという問題にはまだ定まった答えがない. そこで本論文では, ブロックレベルの簡単な3次元配置を検討し, 初期見積もりを行う. パイプラインシミュレータを用いて各ブロック間の通信回数を計測し, ブロック間通信負荷を通信回数と配置距離の積和として近似する. その上で, この通信負荷及び面積を最小化するように配置探索問題を原始モンテカルロ法, シミュレーテッドアニーリング法により解き, 3次元プロセッサの予想される配置とその効果を検討する. パラメタ算出手法と解探索手法について述べ, それらを用いて得られたブロック配置を示す.</p> <p>ブロックレベルであれば原始モンテカルロ手法, シミュレーテッドアニーリング手法でも収束し, 最適化も現実的であることを示す. 得られたフロアプランからフロントエンド, データパス, キャッシュ等が命令の通信回数の多さに従って配置されており, ブロックレベルのシミュレーテッドアニーリング探索でも, ある程度意味のある自動配置ができており, 効率化が推測できる. また, 3次元積層による通信負荷や面積の減少の見積もりを示す. これらにより, 3次元積層プロセッサのフロアプラン最適化に将来性があると見込めている.</p>			